

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-305422

(43)Date of publication of application : 28.11.1997

(51)Int.Cl.

G06F 11/08
G06F 11/00

(21)Application number : 08-349649

(71)Applicant : LG SEMICON CO LTD

(22)Date of filing : 27.12.1996

(72)Inventor : DAE KEUN HAN

(30)Priority

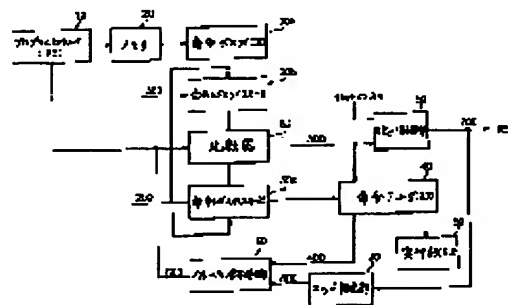
Priority number : 95 9570175 Priority date : 31.12.1995 Priority country : KR

(54) CPU FOR PREVENTING MALFUNCTION OF PROGRAM

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the malfunction of a program by executing a fetched instruction when it is judged that a normal instruction is fetched and resetting a CPU when it is judged that an abnormal instruction is fetched.

SOLUTION: The instruction fetched from a memory 20 corresponding to the address designated by a program counter 10 is stored in an instruction register 30a in synchronism with the cycle of a system clock and these stored instructions are alternately fetched for each cycle of the system clock, stored in respective instruction registers 30b and 30c and compared by a comparator 80 later. When the instructions are equal as a result of comparison, the instruction stored in the instruction register 30c is executed through an execution part 50 but when the instructions are not equal, the level of a reset signal 700 outputted from a reset control part 90 is transited and the program counter 10 is reset. Thus, the malfunction of the program can be prevented.



LEGAL STATUS

[Date of request for examination] 27.12.1996

[Date of sending the examiner's decision of rejection] 30.05.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2000-13621

[Date of requesting appeal against examiner's decision of rejection] 28.08.2000

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-305422

(43) 公開日 平成9年(1997)11月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/08	3 1 0		G 0 6 F 11/08	3 1 0 C
11/00	3 5 0		11/00	3 5 0 P

審査請求 有 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平8-349649

(22) 出願日 平成8年(1996)12月27日

(31) 優先権主張番号 7 0 1 7 5 / 1 9 9 5

(32) 優先日 1995年12月31日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 596034274

エルジー セミコン カンパニー リミテ
ッド大韓民国、チューンチェオンブクド、チ
ェオンジュ、フンダクグ、ヒヤングジェ
オンードン、1

(72) 発明者 ダエ ケウン ハン

大韓民国、チューンチェオンブクド、チ
ェオンジュ、フンダクグ、カエシンード
ン、11

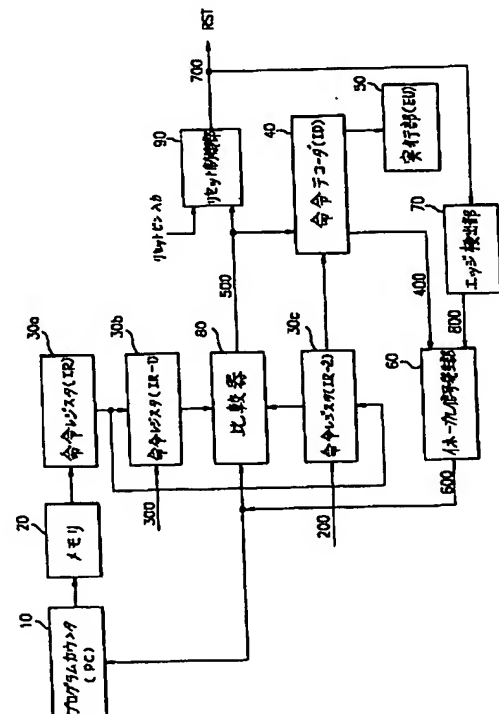
(74) 代理人 弁理士 笹島 富二雄 (外1名)

(54) 【発明の名称】 プログラムの誤動作防止のためのCPU

(57) 【要約】

【課題】 ノイズ等によるプログラムの誤動作を防止すること。

【解決手段】 実行される命令の住所を指定するプログラムカウンタ(PC)と、PCによりメモリーから出力された命令を貯蔵する命令レジスター(IR)と、内部クロック信号によりIRに貯蔵された命令をフェッチする各命令レジスター(IR-1, IR-2) と、イネーブル信号により動作されIR-1, IR-2 に貯蔵された命令が一致するか否かを比較判定する比較器と、比較器の出力信号によりリセット信号を出力するリセット制御部と、比較器の出力信号によりIR-2に貯蔵された命令の動作コードをデコーディングし制御信号とプログラムカウント値の変形命令とを出力する命令デコーダ(ID)と、IDから出力された制御信号により命令を実行する実行部(EU)と、リセット制御部の出力信号のエッジを検出しエッジ検出信号を出力するエッジ検出部と、エッジ検出信号と命令デコーダの出力信号とからイネーブル信号を出力するイネーブル信号発生部と、を備えるようにする。



【特許請求の範囲】

【請求項1】相異なるシステムクロック周期で命令をフェッチし、フェッチされた各命令に基づいて該フェッチされた命令が正常か非正常かを判断すると共に、正常な命令がフェッチされたと判断された場合には、該フェッチされた命令を遂行する一方、ノイズ等により非正常な命令がフェッチされたと判断された場合には、CPUをリセットし、プログラムの誤動作を防止するように構成したことを特徴とするプログラムの誤動作防止のためのCPU。

【請求項2】実行される命令の住所を指定するプログラムカウンタ(PC)(10)と、該プログラムカウンタ(PC)(10)によりメモリ(20)から出力された命令を貯蔵する命令レジスタ(IR)(30a)と、各内部クロック信号(300、200)により命令レジスタ(IR)(30a)に貯蔵された命令をフェッチする各命令レジスタ(IR-1, IR-2)(30b, 30c)と、イネーブル信号(600)により動作され、上記各命令レジスタ(IR-1, IR-2)(30b, 30c)に貯蔵された命令が一致するか否かを比較判定する比較器(80)と、該比較器(80)の出力信号(500)に基づいてリセット信号(RST)を出力するリセット制御部(90)と、上記比較器(80)の出力信号(500)に基づいて命令レジスタ(IR-2)(30c)に貯蔵された命令の動作コードをデコーディングし、制御信号とプログラムカウンタ値の変形命令(400)とを出力する命令デコーダ(ID)(40)と、該命令デコーダ(40)から出力された制御信号により命令を実行する実行部(EU)(50)と、上記リセット制御部(90)の出力信号(700)のエッジを検出し、エッジ検出信号(800)を出力するエッジ検出部(70)と、該エッジ検出信号(800)と上記命令デコーダ(40)の出力信号(400)とによりイネーブル信号(600)を出力するイネーブル信号発生部(60)と、を含んで構成されたことを特徴とするプログラムの誤動作防止のためのCPU。

【請求項3】上記内部クロック信号(300)は、1サイクルの第1システムクロックの下向エッジ検出信号であり、内部制御信号(200)は各システムクロックの上昇エッジ検出信号であることを特徴とする請求項2に記載のプログラムの誤動作防止のためのCPU。

【請求項4】上記イネーブル信号発生部(60)は、各サイクル毎に第1システムクロックでハイレベルのイネーブル信号(600)を出力することを特徴とする請求項2又は請求項3に記載のプログラムの誤動作防止のた

めのCPU。

【請求項5】上記イネーブル信号発生部(60)は、エッジ検出信号(800)、又は、上記命令デコーダ(40)の出力信号(400)のうち何れか1つがハイレベルであると、システムクロックの周期に関係なくローレベルを出力することを特徴とする請求項2～請求項4の何れか1つに記載のプログラムの誤動作防止のためのCPU。

【請求項6】上記命令レジスタ(IR-1)(30b)は、各サイクル毎に第1システムクロックの下向エッジでターンオンされ、命令レジスタ(IR-2)(30c)は第2システムクロックの上昇エッジで1回目、そして、次のサイクルの開始時点の上昇エッジで2回目ターンオンされることを特徴とする請求項2～請求項5の何れか1つに記載のプログラムの誤動作防止のためのCPU。

【請求項7】上記リセット制御部は、各命令レジスタ(IR-1, IR-2)(30b, 30c)に貯蔵された命令が相異なるとき、リセット信号のレベルを遷移させることを特徴とする請求項2～請求項6の何れか1つに記載のプログラムの誤動作防止のためのCPU。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明はプログラムの誤動作防止のためのCPUに係るもので、詳しくは、ノイズ等によりメモリから非正常なデータがフェッチされると、CPUをリセットさせ、プログラムの誤動作を防止し得るプログラムの誤動作防止のためのCPUに関するものである。

【0002】

【従来の技術】従来CPUにおいては、図3に示したように、実行される命令(instruction)の住所を指定するプログラムカウンタ1と、該プログラムカウンタ1により指定された住所命令を出力するメモリ2と、該メモリ2から出力された命令の動作コード(opcode)を貯蔵する命令レジスタ3と、該命令レジスタ3に貯蔵された動作コードをデコーディングし、制御信号を出力する命令デコーダ4と、該命令デコーダ4から出力された制御信号により命令を実行する実行部5と、から構成されていた。

【0003】このように構成された従来CPUの動作を図面を用いて説明すると次のようであった。プログラムカウンタ1は次に実行される命令の住所を住所バスを通してメモリ2に送り、メモリ2はプログラムカウンタにより該命令を命令レジスタ3に出力する。

【0004】命令レジスタ3はメモリ2から供給された命令の動作コードを貯蔵した後命令デコーダ4に供給し、命令デコーダ4は供給された動作コードをデコーディングして命令の実行に必要な制御信号を実行部5に供給する。これに従い、実行部5は命令を実行する。

【0005】

【発明が解決しようとする課題】しかしながら、このように構成された従来CPUにおいては、ノイズにより、所望としない命令を遂行し、プログラムの誤動作を誘発するという恐れがあった。即ち、システムの外部電源及びクロックにノイズが入力されると、プログラムカウンタ1が誤動作され所望としない命令がメモリー2からフェッチされプログラムが誤動作されるという恐れがあった。

【0006】本発明の目的は、ノイズ等によるプログラムの誤動作を防止し得るCPUを提供することにあるが、例えば各サイクル毎に以前周期のシステムクロックでフェッチした命令と現在周期のシステムクロックでフェッチした命令とを比較し、該フェッチされた命令が一致すると正常に命令を遂行し、若し、一致しないとCPUをリセットさせ、プログラムの誤動作を防止し得るようにしたCPUを提供しようとするものである。また、比較的低コストかつ簡単な構成で、かつ高精度に、上記目的を達成できるようにすることも本発明の目的である。

【0007】

【課題を解決するための手段】このような目的を達成するため、請求項1に記載の発明にかかるプログラムの誤動作防止のためのCPUでは、相異なるシステムクロック周期で命令をフェッチし、フェッチされた各命令に基づいて該フェッチされた命令が正常か非正常かを判断すると共に、正常な命令がフェッチされたと判断された場合には、該フェッチされた命令を遂行する一方、ノイズ等により非正常な命令がフェッチされたと判断された場合には、CPUをリセットし、プログラムの誤動作を防止するように構成した。

【0008】請求項2に記載の発明では、例えば図1に示すように、実行される命令の住所を指定するプログラムカウンタ(PC)と、該プログラムカウンタ(PC)によりメモリーから出力された命令を貯蔵する命令レジスター(IR)と、各内部クロック信号により命令レジスター(IR)に貯蔵された命令をフェッチする各命令レジスター(IR-1, IR-2)と、イネーブル信号により動作され、上記各命令レジスター(IR-1, IR-2)に貯蔵された命令が一致するか否かを比較判定する比較器と、該比較器の出力信号に基づいてリセット信号(RST)を出力するリセット制御部と、上記比較器の出力信号に基づいて命令レジスター(IR-2)に貯蔵された命令の動作コードをデコーディングし、制御信号とプログラムカウンタ値の変形命令とを出力する命令デコーダ(ID)と、該命令デコーダから出力された制御信号により命令を実行する実行部(EU)と、上記リセット制御部の出力信号のエッジを検出し、エッジ検出信号を出力するエッジ検出部と、該エッジ検出信号と上記命令デコーダの出力信号とによりイネーブル信号を

出力するイネーブル信号発生部と、を含んで構成するようにした。

【0009】請求項1、請求項2に記載の発明によれば、相異なるシステムクロック周期で命令をフェッチし、フェッチされた各命令に基づいて該フェッチされた命令が正常か非正常かを判断することができるので、正常な命令がフェッチされたと判断された場合には、該フェッチされた命令を遂行させることができると共に、ノイズ等により非正常な命令がフェッチされたと判断された場合には、CPUをリセットさせることができる。従って、ノイズ等が入力された場合には、プログラムの誤動作を確実に防止することができる。

【0010】請求項3に記載の発明では、上記内部クロック信号は、1サイクルの第1システムクロックの下向エッジ検出信号であり、内部制御信号は各システムクロックの上昇エッジ検出信号であるように構成した。請求項4に記載の発明では、上記イネーブル信号発生部は、各サイクル毎に第1システムクロックでハイレベルのイネーブル信号を出力するように構成した。

【0011】請求項5に記載の発明では、上記イネーブル信号発生部は、エッジ検出信号、又は、上記命令デコーダの出力信号のうち何れか1つがハイレベルであると、システムクロックの周期に関係なくローレベルを出力するように構成した。請求項6に記載の発明では、上記命令レジスター(IR-1)は、各サイクル毎に第1システムクロックの下向エッジでターンオンされ、命令レジスター(IR-2)は第2システムクロックの上昇エッジで1回目、そして、次のサイクルの開始時点の上昇エッジで2回目ターンオンされるように構成した。

【0012】請求項7に記載の発明では、上記リセット制御部は、各命令レジスター(IR-1, IR-2)に貯蔵された命令が相異なるとき、リセット信号のレベルを遷移させるように構成した。請求項3～請求項7に記載の発明によれば、比較的lowコストかつ簡単な構成で、かつ高精度に、相異なるシステムクロック周期で命令をフェッチし、フェッチされた各命令に基づいて該フェッチされた命令が正常か非正常かを判断させることができると共に、正常な命令がフェッチされたと判断された場合に、該フェッチされた命令を遂行させることができ、ノイズ等により非正常な命令がフェッチされたと判断された場合は、CPUをリセットしてプログラムの誤動作を防止させるように構成することができる。

【0013】

【発明の実施の形態】以下、本発明の一実施の形態に対し、図面を用いて説明する。本発明の一実施形態に係るプログラムの誤動作防止のためのCPUにおいては、図1に示したように、実行される命令(instruction)の住所を指定するプログラムカウンタ(PC)10と、プログラムカウンタ(PC)10によりメモリー20から出力された命令を貯蔵する命令レジスター

(IR) 30aと、夫々の内部クロック信号300、200により命令レジスター(IR) 30aに貯蔵された命令をフェッチする各命令レジスター(IR-1, IR-2) 30b, 30cと、イネーブル信号600により動作され、上記各命令レジスター(IR-1, IR-2) 30b, 30cに貯蔵された命令が一致するか否かを比較判定する比較器80と、比較器80の出力信号500によりリセット信号(RST)を出力するリセット制御部90と、比較器80の出力信号500により命令レジスター(IR-2) 30cに貯蔵された命令の動作コードをデコーディングし、制御信号とプログラムカウンタ値の変形命令400とを出力する命令デコーダ(ID) 40と、命令デコーダ40から出力された制御信号により命令を実行する実行部(EU) 50と、上記リセット制御部90の出力信号700のエッジを検出してエッジ検出信号800を出力するエッジ検出部70と、該エッジ検出信号800と上記命令デコーダ40の出力信号とによりイネーブル信号600を出力するイネーブル信号発生部60と、から構成される。

【0014】このように構成される本実施形態にかかるプログラムの誤動作防止のためのCPUの動作及び効果について説明すると次のようである。本実施形態にかかるプログラムの誤動作防止のためのCPUにおいては、プログラムカウンタ(PC) 10の指定する住所によりメモリー20からフェッチされた命令をシステムクロックの周期に同期して命令レジスター(IR) 30aに貯蔵し、該命令レジスター(IR) 30aで貯蔵された命令をシステムクロックの1周期毎に交互にフェッチして、各命令レジスター(IR-1, IR-2) 30b, 30cに貯蔵した後、比較器80で比較する。

【0015】このとき、上記各命令レジスター(IR-1, IR-2) 30b, 30cに貯蔵された命令が同一であれば、命令レジスター(IR-2) 30cに貯蔵された命令を実行部50を通して実行させ、若し、上記各命令レジスター(IR-1, IR-2) 30b, 30cに貯蔵された命令が同一ではなければ、リセット制御部90から出力されるリセット信号700のレベルを遷移させ、上記プログラムカウンタ(PC) 10をリセットさせる。

【0016】上記過程を図1及び図2を用いて説明すると次のようである。本実施形態にかかるプログラムの誤動作防止のためのCPUにおいて、図2中の(A)、(B)に示したように、第1システムクロックと第2システムクロックの2周期を1サイクルとする。そして、内部制御信号300は1サイクルでの第1システムクロックの下向エッジ検出信号であり、内部制御信号200は各システムクロックの上昇エッジ検出信号である。

【0017】従って、1サイクルの間、命令レジスター(IR-1) 30bは第1システムクロックの下向エッジでターンオンされ、又、命令レジスター(IR-2)

30cは第2システムクロックの上昇エッジで1回目、そして、次のサイクルの開始時点の上昇エッジで2回目ターンオンされる。先ず、Reset Pinを通して外部からリセット信号が入力されると、リセット制御部90は、図2中の(C)に示したように、ローレベルのReset信号700を出力して、CPUをリセットさせる。

【0018】このとき、エッジ検出部70は図2中の(L)に示したように、上記リセット検出部700の下向エッジを検出し、1番目のサイクル間ハイレベルを維持する。そして、イネーブル信号発生部60は、各サイクルの第1システムクロック信号毎にハイレベルの信号600を出力するが、エッジ検出部70の出力信号800、又は、命令デコーダ(ID) 40の出力信号400中何れか1つがハイレベルになる区間においては、ローレベルの信号600を出力する。即ち、エッジ検出部70の出力信号800と命令デコーダ(ID) 40の出力信号400の両方がローレベルであるときに限って、ハイレベルの信号を出力する。

【0019】従って、1番目のサイクル間イネーブル信号発生部60は、ローレベルの信号600を出力し、プログラムカウンタ(PC) 10はイネーブル、比較器80はディスエーブルさせる。且つ、プログラムカウンタ10は、図2中の(D)に示したように、1番目のサイクル間システムクロックに同期して実行される命令の住所を増加させ、メモリー20に出力し、そして、命令レジスター(IR) 30aは1番目のサイクル間システムクロックに同期してメモリー20から0001、0002番地の命令をフェッチする{(F-1)、(F-2)}。

【0020】このとき、命令レジスター(IR-1) 30bは制御信号300に従い第1システムクロックの下向エッジでターンオンされるため、上記命令レジスター(IR) 30aからシフトされた1番地の命令を貯蔵する。そして、本実施形態にかかるプログラムの誤動作防止のためのCPUにおいて、“En”はメモリー20の“n”番地の命令が実行部50により実行されることを意味し、“Fn”はメモリー20の“n”番地の命令がフェッチされることを意味し、“Sn”は命令レジスター30aに貯蔵されたメモリー20の“n”番地の命令が各命令レジスター(IR-1) 30b、(IR-2) 30cにシフト(shift)されることを意味する。

【0021】命令レジスター(IR-2) 30cは、制御信号200に従い第2システムクロックの上昇エッジで1回目、そして、2番目のサイクルの開始時点の上昇エッジで2回目ターンオンされるため、先ず、第2システムクロックの上昇エッジで1回目ターンオンされ、上記命令レジスター(IR) 30aからシフトされた1番地の命令を貯蔵し(S-1)、2番目のサイクルの開始時

点の上昇エッジで2回目ターンオンされ、上記命令レジスタ (IR) 30aからシフトされた2番地の命令を貯蔵する (S-2')。

【0022】ここで、上記第2システムクロックの上昇エッジでシフトされた1番地の命令は、命令デコード (ID) 40でデコーディングされ、実行動作であると実行部 (EU) 50を通して実行される。次いで、2番目のサイクルになると、エッジ検出部70の出力信号800と命令デコーダ (ID) 40の出力信号とが何れもローレベルであるため、イネーブル信号発生部60は、図2 (I) に示したように、第1システムクロック信号の間ハイレベルの信号600を出力して、プログラムカウンタ (PC) 10はディスエーブル、比較器80はイネーブルさせ、プログラムカウンタ (PC) 10は第1システムクロック信号の間、実行される命令 (instruction) の住所を増加させない。

【0023】そして、命令レジスタ (IR-1) 30bは制御信号300に従い第1システムクロックの下向エッジでターンオンされ、上記命令レジスタ (IR-1) 30bでシフトされた2番地の命令 (F-2') を貯蔵する (S-2)。そして、比較器80は2番目のサイクルの第1クロック信号入力区間の間ターンオンされ、上記各命令レジスタ (IR-1, IR-2) 30b, 30cに貯蔵された各命令 (S-2', S-2) を比較し、同一であると、図2中の (J) に示したように、ローレベルの信号500を出力する。

【0024】この時、プログラムカウンタ (PC) 10はディスエーブルされ、実行命令の住所を増加させないため、命令レジスタ (IR) 30aに貯蔵された2番地の命令 (F-2) と (F-2') は同一命令であり、命令レジスタ (IR-1) 30bにシフトされる命令 (S-2) と (S-2') も同一命令である。そして、第2クロック信号の間イネーブル信号発生部60がローレベルの信号600を出力すると、プログラムカウンタ (PC) 10は再び実行される命令の住所を増加させ、命令レジスタ (IR) 30aはシステムクロックに同期し、メモリ20から0003番地の命令をフェッチする (F-3)。

【0025】そして、命令レジスタ (IR-2) 30cは第2システムクロックの上昇エッジで1回目ターンオンされ、上記命令レジスタ (IR) 30aからシフトされた2番地の命令 (F-2') を貯蔵して (S-2)、3番目のサイクルの開始時点の上昇エッジで2回目ターンオンされ、上記命令レジスタ (IR) 30aからシフトされた3番地の命令を貯蔵する (S-3')。

【0026】このとき、上記第2システムクロックの上昇エッジでシフトされた2番地の命令は命令デコーダ (ID) 40からデコーディングし、実行動作であると実行部 (EU) 50を通して実行される。次いで、上記

過程と同様に3番目のサイクルになると、イネーブル信号発生部60から出力されたハイレベルの信号600により比較器80は再びイネーブルされ、プログラムカウンタ (PC) 10は実行命令の住所を増加させない。

【0027】そして、命令レジスタ (IR-1) 30bは制御信号300に従い第1システムクロックの下向エッジでターンオンされ、上記命令レジスタ (IR) 30aからシフトされた3番地の命令 (F-3') を貯蔵する (S-3)。このとき、比較器80は3番目のサイクルの第1クロック信号入力区間の間、上記各命令レジスタ (IR-1, IR-2) 30b, 30cに貯蔵された各命令 (S-3', S-3) とを比較し、図2中の (J) に示したようなローレベルの信号500を出力する。

【0028】そして、命令レジスタ (IR-2) 30cは第2システムクロックの上昇エッジで1回目ターンオンされ、上記命令レジスタ (IR) 30aからシフトされた3番地の命令 (F-3') を貯蔵し (S-3)、4番目のサイクルの開始時点の上昇エッジで2回目ターンオンされ、上記命令レジスタ (IR) 30aからシフトされた3番地の命令を貯蔵する (S-4')。

【0029】このとき、上記第2システムクロックの上昇エッジでシフトされた3番地の命令は命令デコーダ (ID) 40でデコーディングされるが、若し、3番地の命令がデコーディングされた結果が17番地にジャンプするという命令であれば、命令デコーダ (ID) 40は、図2中の (K) に示したように、プログラムカウンタ10の値を変形させる命令400をイネーブル信号発生部60に出力する。

【0030】その結果、プログラムカウンタ10は4番目のサイクルから17番地の命令の住所にジャンプして住所を増加させ、イネーブル信号発生部60は4番目のサイクルの間、ローレベルを維持して比較器80をディスエーブルさせる。以後の過程は上記と同様に遂行される。しかし、6番目のサイクルの第1システムクロックでメモリ20からフェッチされた19番地の命令が、外部電源及びノイズにより非正常な命令であるときは各命令レジスタ (IR-1, IR-2) 30b, 30cに貯蔵された各命令 (S-19, IR-19') は等しくない。

【0031】従って、比較器80は、図2中の (J) に示したように、ハイレベルのミスマッチ (mismatch) 信号500を出力し、リセット制御部90は図2中の (C) に示したように、内部リセット信号700を出力して、CPUをResetさせる。そして、Reset以後、即ち、7番目のサイクル以後の動作は1番目のサイクル以後の動作と同様過程で遂行される。

【0032】

【発明の効果】以上説明したように、本発明に係るプロ

プログラムの誤動作防止のためのCPUにおいては、相異なるシステムクロック周期でメモリからフェッチされた各命令を比較することで、該命令が正常か否かを判断し、正常な命令がフェッチされたと判断された場合には該フェッチされた命令を遂行し、ノイズ等により非正常なデータがフェッチされたと判断された場合にはCPUをリセットさせることができるので、メモリに貯蔵されたプログラムの誤動作を防止し得るという効果がある。また、請求項3～請求項7に記載の発明によれば、上記効果を、比較的低コストかつ簡単な構成で、かつ高精度に達成させることができる。

【図面の簡単な説明】

【図1】本発明（請求項2に記載の発明）に係るCPUのブロック図の一例である。

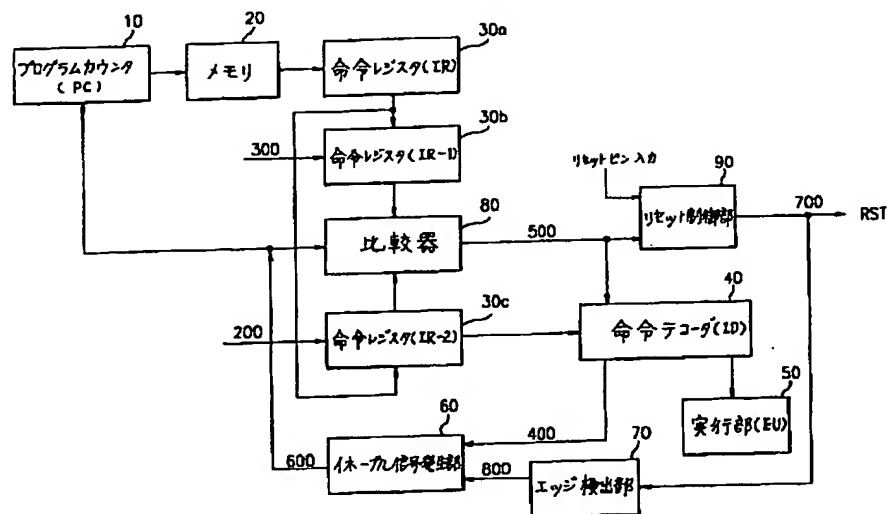
【図2】本発明（請求項2に記載の発明）に係るCPUの動作を説明する内部タイミング図の一例である。

【図3】従来CPUのブロック図である。

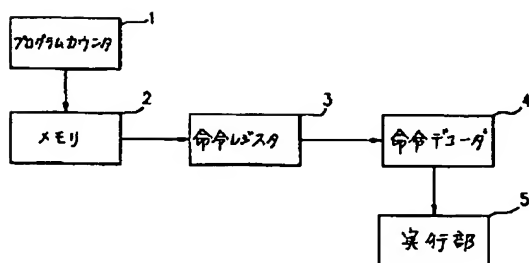
【符号の説明】

- 10 プログラムカウンタ
- 20 メモリ
- 30a, 30b, 30c 命令レジスタ
- 40 命令デコーダ
- 50 実行部
- 60 イネーブル信号発生部
- 70 エッジ検出部
- 80 比較器
- 90 リセット制御部

【図1】



【図3】



【図2】

